

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000075848 A

(43) Date of publication of application: 14.03.00

(51) Int. Cl

G09G 5/18  
G06F 1/10  
G09G 3/20  
G09G 3/36  
G09G 5/12

(21) Application number: 10247904

(71) Applicant: ADVANCED DISPLAY INC

(22) Date of filing: 02.09.98

(72) Inventor: MATSUMURA TATSUYA

(54) INTERFACE CIRCUIT AND DISPLAY DEVICE  
USING THE CIRCUIT

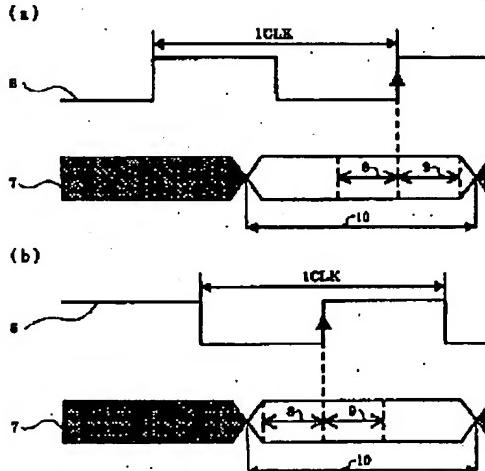
is delayed for the optimal time length, satisfying the prescribed set-up time 8.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

**PROBLEM TO BE SOLVED:** To provide an interface circuit capable of outputting a data signal and clock signal that satisfy the set-up time and hold time of the data signal by making an adjustment so that the prescribed edge of the clock signal pulse corresponds to the prescribed position in the effective data area of the data signal and outputting the adjusted clock signal and data signal.

**SOLUTION:** The device is equipped with an adjusting part for adjusting timing with a clock signal 6 and a data signal 7. Then, the clock signal 6 is shifted to the rear for a prescribed time, thereby securing the set-up time 8 and the hold time 9 as both stipulated by a driver IC. In the case where the set-up time 8 is unsatisfied, the function of the interface circuit is used, a function in which the clock signal 6 is shifted to the rear by a half cycle period of the clock signal 6, as is a function in which one is selected from the time quantities of plural stages and shifted to the rear for a prescribed time. As a result, the clock signal 6



00-00584 (参考)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-75848

(P2000-75848A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int. C1. 7

識別記号

G 0 9 G	5/18
G 0 6 F	1/10
G 0 9 G	3/20
	6 1 2
	3/36
	5/12

審査請求 未請求 請求項の数 1 1

F I

G 0 9 G	5/18
	3/20
	6 1 2
	3/36
	5/12
G 0 6 F	1/04

O L

テーマコード (参考)

5B079
5C006
5C080
5C082
3 3 0 A

(全10頁)

(21) 出願番号 特願平10-247904

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ  
熊本県菊池郡西合志町御代志997番地

(22) 出願日 平成10年9月2日 (1998.9.2)

(72) 発明者 松村 達也

熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内

(74) 代理人 100073759

弁理士 大岩 増雄

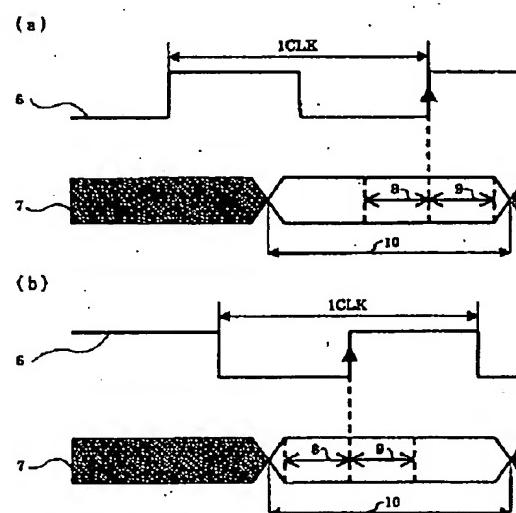
最終頁に続く

(54) 【発明の名称】インターフェイス回路及びこれを用いた表示装置

(57) 【要約】

【課題】 従来の表示装置では、ドライバICの入力部ではクロック信号やデータ信号が遅延を発生して、セットアップ時間またはホールド時間を満たさなくなり、データ・サンプリングエラーが発生するという問題が生じていた。

【解決手段】 周期的なパルスをもって形成されるクロック信号6及び有効データ領域10によって構成されるデータ信号7から、クロック信号6のパルスの所定エッジがデータ信号7の有効データ領域10中の所定位置に対応するように調整して、調整済みのクロック信号6及びデータ信号7を出力する調整部を備え、ドライバICの入力部でデータ信号7のセットアップ時間8及びホールド時間9を確保したものである。



6. クロック信号

7. データ信号

8. セットアップ時間

9. ホールド時間

10. 有効データ領域

## 【特許請求の範囲】

【請求項1】 周期的なパルスをもって形成されるクロック信号及び有効データ領域によって構成されるデータ信号が入力され、クロック信号のパルスの所定エッジがデータ信号の有効データ領域中の所定位置に対応するよう10に調整して、調整済みのクロック信号及びデータ信号を出力する調整部を備えたことを特徴とするインターフェイス回路。

【請求項2】 調整部は、入力されるクロック信号から、異なる遅延量を持つ複数のクロック信号を生成するクロック信号生成部、パルスの所定エッジがデータ信号の有効データ領域中の所定位置に対応するクロック信号を選択するように形成された選択信号に応じて、上記クロック信号生成部によって生成された複数のクロック信号の一つを選択して出力する選択回路を有することを特徴とする請求項1記載のインターフェイス回路。

【請求項3】 選択回路に入力される複数のクロック信号の遅延量を検出して、選択信号を生成する検出回路を備えたことを特徴とする請求項2記載のインターフェイス回路。

【請求項4】 選択回路によって出力されるクロック信号の遅延量を検出して、選択信号を生成する検出回路を備えたことを特徴とする請求項2記載のインターフェイス回路。

【請求項5】 調整部の調整は、入力されるクロック信号を所定時間前方または後方にずらすように行うことを特徴とする請求項1～請求項4のいずれか一項記載のインターフェイス回路。

【請求項6】 調整部は、入力されるデータ信号から複数のデータ信号を生成するデータ信号生成部、クロック信号のパルスの所定エッジが有効データ領域中の所定位置に対応するデータ信号を選択するように形成された選択信号に応じて、上記データ信号生成部によって生成された複数のデータ信号の一つを選択して出力する選択回路を有することを特徴とする請求項1記載のインターフェイス回路。

【請求項7】 調整部の調整は、入力されるデータ信号を所定時間前方または後方にずらすように行うことを特徴とする請求項6記載のインターフェイス回路。

【請求項8】 所定時間は、入力されるクロック信号の半周期または半周期の倍数であることを特徴とする請求項5または請求項7記載のインターフェイス回路。

【請求項9】 所定時間は、段階的に形成された複数の時間量から一つを選択するものであることを特徴とする請求項5または請求項7記載のインターフェイス回路。

【請求項10】 請求項1～請求項9のいずれか一項記載のインターフェイス回路を介してクロック信号及びデータ信号を出力する制御回路、この制御回路の出力するクロック信号及びデータ信号に応じて駆動信号を出力する駆動回路、この駆動回路の出力する駆動信号によって

表示を行う表示部を備えたことを特徴とする表示装置。

【請求項11】 インターフェイス回路は、制御回路に内蔵されていることを特徴とする請求項10記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、クロック信号とデータ信号を外部回路に出力する出力部に用いられるインターフェイス回路、及びこのインターフェイス回路を

10用いた表示装置に関するものである。

## 【0002】

【従来の技術】 図9は、従来の表示装置を示す構成図である。図において、1は液晶パネル等の表示画面、2は表示画面1を駆動する走査線駆動回路等の第一の駆動回路、3は表示画面1を駆動する信号線駆動回路等の第二の駆動回路、4は第一の駆動回路2及び第二の駆動回路3の入力信号を生成する制御回路、5は第一の駆動回路2及び第二の駆動回路3等の回路系の基準電圧を生成する電源部である。図9に示す従来の表示装置の電気回路構成においては、制御回路4ではクロック信号、及びクロック信号以外のデータ信号が生成され、第一の駆動回路2及び第二の駆動回路3の入力信号として使用される。ここで、クロック信号とは第一の駆動回路2、第二の駆動回路3それぞれで使用するクロック信号を意味し、クロック信号以外のデータ信号とは、表示データ信号及び表示データ信号以外の制御信号を意味する。表示装置の表示画面を駆動する駆動電圧を生成する第一の駆動回路2及び第二の駆動回路3中のドライバICの入力部において、制御回路4から出力されるクロック信号の

20アクティブエッジに対して、ドライバICの仕様上で規定されているセットアップ時間及びホールド時間を満足するタイミングでデータ信号が入力されることにより、表示装置は正常に動作する。

【0003】 図10は、従来の表示装置のドライバICの入力における電圧波形図であり、データ信号が、クロック信号のアクティブエッジに対して規定されているセットアップ時間及びホールド時間を満足する場合である。図において、6はクロック信号、7はデータ信号、8は規定されているセットアップ時間、9は規定されて

40いるホールド時間、10はクロック信号のアクティブエッジ(図では立ち上がりエッジ)におけるある位置(図ではエッジの矢印)での有効データ領域、1CLKはクロック信号の周期である。クロック信号のエッジの矢印はクロック信号のアクティブエッジ(図では立ち上がりエッジ)を表す。データ信号の斜線部は無効データ領域を表す。図に見られるとおり、セットアップ時間8及びホールド時間9は有効データ領域10内に納まっている。

## 【0004】

【発明が解決しようとする課題】 しかしながら、表示装

置における大画面化、高精細化に伴ってクロック周波数が増加するに伴い、第一の駆動回路2及び第二の駆動回路3や制御回路4とドライバICとの間に配置されるEMIフィルタ等の中間回路による変調効果や信号線の配線状況や表示装置の使用環境により、ドライバICの入力部ではクロック信号やデータ信号が、制御回路4の出力部に対して異なる遅延時間が発生したり、有効データ領域の減少のために、規定されているセットアップ時間またはホールド時間を、例えば図11のように満たさなくなり、ドライバIC中でデータ・サンプリングエラーが発生して表示装置が正常に動作しなくなるという問題が生ずる。これは、特に高周波数である信号が入力される第二の駆動回路3で、発生しやすい。

【0005】図11は、従来の表示装置のドライバICの入力における電圧波形図であり、クロック信号のアクティブエッジに対して規定されているセットアップ時間及びホールド時間を満足しない場合におけるものである。図11(a)はセットアップ時間を満足しない場合、図11(b)はホールド時間を満足しない場合を示す。表示装置に関わらず、クロック信号とデータ信号が入力される他の装置においても、高性能化等に伴ってクロック周波数が増加するに伴い、外部回路の回路構成やインターフェイス回路と外部回路との間に配置されるEMIフィルタ等の中間回路による変調効果や信号線の配線状況や装置の使用環境により、外部回路の入力部では、クロック信号やデータ信号が、インターフェイス回路の出力部に対して、それぞれ異なる遅延時間の発生や有効データ領域の減少のために、図11と同様に規定されているセットアップ時間またはホールド時間を満たさなくなり、外部回路中でデータ・サンプリングエラーが発生することで装置が正常に動作しなくなるという問題が生ずる。

【0006】この発明は、このような課題を解決するためになされたものであり、出力先の回路で、データ信号のセットアップ時間及びホールド時間を満足するデータ信号及びクロック信号の出力をを行うことができるインターフェイス回路を得ることを第一の目的にしている。また、そのようなインターフェイス回路を用いた表示装置を得ることを第二の目的にしている。

#### 【0007】

【課題を解決するための手段】この発明に係わるインターフェイス回路においては、周期的なパルスをもって形成されるクロック信号及び有効データ領域によって構成されるデータ信号が入力され、クロック信号のパルスの所定エッジがデータ信号の有効データ領域中の所定位置に対応するように調整して、調整済みのクロック信号及びデータ信号を出力する調整部を備えたものである。また、調整部は、入力されるクロック信号から、異なる遅延量を持つ複数のクロック信号を生成するクロック信号生成部と、パルスの所定エッジがデータ信号の有効データ

領域中の所定位置に対応するクロック信号を選択するように形成された選択信号に応じて、クロック信号生成部によって生成された複数のクロック信号の一つを選択して出力する選択回路を有するものである。

【0008】また、選択回路に入力される複数のクロック信号の遅延量を検出して、選択信号を生成する検出回路を備えたものである。さらに、選択回路によって出力されるクロック信号の遅延量を検出して、選択信号を生成する検出回路を備えたものである。

10 【0009】また、調整部の調整は、入力されるクロック信号を所定時間前方または後方にずらすように行うものである。また、調整部は、入力されるデータ信号から複数のデータ信号を生成するデータ信号生成部と、クロック信号のパルスの所定エッジが有効データ領域中の所定位置に対応するデータ信号を選択するように形成された選択信号に応じて、データ信号生成部によって生成された複数のデータ信号の一つを選択して出力する選択回路を有するものである。

【0010】<sup>11</sup>加えて、調整部の調整は、入力されるデータ信号を所定時間前方または後方にずらすように行うものである。また、所定時間は、入力されるクロック信号の半周期または半周期の倍数であるものである。また、所定時間は、段階的に形成された複数の時間量から一つを選択するものである。

20 【0011】さらにまた、この発明に係わる表示装置においては、インターフェイス回路を介してクロック信号及びデータ信号を出力する制御回路と、この制御回路の出力するクロック信号及びデータ信号に応じて駆動信号を出力する駆動回路と、この駆動回路の出力する駆動信号によって表示を行う表示部を備えたものである。また、インターフェイス回路は、制御回路に内蔵されているものである。

#### 【0012】

【発明の実施の形態】この発明は、例えば表示装置の制御回路のように、クロック信号とデータ信号を出力する出力部(表示装置の場合はドライバIC)に出力する出力部に用いられるインターフェイス回路に、クロック信号とデータ信号とのタイミングを調整する調整部を備えたものである。以下、表示装置の制御回路に用いられるインターフェイス回路について説明する。

30 【0013】実施の形態1、図12は、この発明の実施の形態1による表示装置のドライバICの入力における電圧波形図である。図1(a)は、図11(a)のクロック信号をインターフェイス回路でクロック信号の半周期分後方へずらした場合を示し、図1(b)は、クロック信号を所定時間分後方へずらして、共にドライバICで規定されているセットアップ時間とホールド時間を確保したものである。図において、6～10は図10におけるものと同じものである。実施の形態1による表示装置は、ドライバICのセットアップ時間が満足されない場

合に、クロック信号をクロック信号の半周期分後方へずらすインターフェイス回路の機能や、複数段階の時間量から一つを選択して所定時間分後方へずらす機能を使用することにより、クロック信号を最適な時間分遅れさせて、図1(a)、図1(b)に示す規定のセットアップ時間を確実に満足させることができるとなる。このため高品質の液晶表示装置等の表示装置が得られる。

【0014】次にこのようにクロック信号を遅延させる回路構成について説明する。図2は、この発明の実施の形態1及び実施の形態2による表示装置の信号をずらすための機能ブロックを示す構成図であり、インターフェイス回路の調整部を構成している。図2(a)は、クロック信号の半周期分または半周期の倍数分後方にクロック信号をずらすように構成した図であり、図2(b)は、複数段階の時間量から一つを選択して所定時間分後方にずらすように構成した図である。

【0015】図において、11は内部クロック信号、12はクロックイネーブル信号、13はセットアップ時間またはホールド時間が確保できるようにクロック信号を選択する選択信号、14は表示装置における制御回路のインターフェイス回路から出力されるクロック信号、15はクロック信号の半周期分または半周期の倍数分後方にずらした異なる遅延量を有する複数のクロック信号を生成するクロック信号生成部、16は複数段階の時間量から一つを選択して所定時間分後方にずらし、異なる遅延量を有する複数のクロック信号を生成するクロック信号生成部であり、複数段階は同じ差分を持つものでも、異なる差分を持つものでもよい。17はクロック信号生成部15、16によって生成された複数のクロック信号であり、17aが基準となるクロック信号である。18は複数のクロック信号から選択信号13に応じて必要なクロック信号を選択して、一つのクロック信号14を出力する選択回路である。19はいずれかの接続を選択する選択ポイントを示している。なお、複数ある選択信号13、クロック信号17は、13a、13b、17a、17bのごとく図示している。後述するNOT回路20、ラッチ回路21、AND回路22、遅延回路23も同様である。

【0016】図2(a)では、内部クロック信号11がクロック信号生成部15に入力されることにより、内部クロック信号11に対して半周期分又は半周期の倍数分後方にずらした異なる遅延量を有する複数のクロック信号17a、...、17bが生成される。同時に、クロックイネーブル信号12は、出力信号におけるクロック変化の領域を決定する信号で、クロック信号生成部15中の回路を動作させるために必要となる場合がある。この例としては、後述の図3で説明する。そこで、選択回路18では、複数のクロック信号17a、...、17bの中から、図1(a)に示すように規定されたセットアップ時間とホールド時間を満足する信号を選ぶ為の設定

を選択信号13a、...、13bで入力する。これにより、複数のクロック信号17a、...、17bの中で選択された信号がクロック信号14として出力されることになる。ここで、出力信号として選択可能なクロック信号17a、...、17bの中に内部クロック信号11を含める場合には、選択ポイント19での点線部分が有効となる。図2(b)では、図2(a)に対してクロックイネーブル信号12を入力していないことを除けば、クロック信号生成部15がクロック信号生成部16に置き換わっている点が異なるのみである。つまり、内部クロック信号11がクロック信号生成部16に入力されることにより、内部クロック信号11に対して複数段階の時間量から所定時間分後方にずらした異なる遅延量を有する複数のクロック信号17a、...、17bが生成される点が異なり、他は図2(a)の動作と同様となる。選択回路18では、図1(b)に示すように規定されたセットアップ時間とホールド時間を満足する信号を選ぶ為の設定を選択信号13a、...、13bで入力する。これにより、複数のクロック信号17

20 a、...、17bの中で選択された信号がクロック信号14として出力されることになる。ここで、選択ポイント19での点線部分は図2(a)と同様である。

【0017】図3は、この発明の実施の形態1及び実施の形態2による表示装置のクロック信号をずらす回路の構成を示す図であり、図2の具体的回路を示している。図3(a)、図3(b)、図3(c)は、クロック信号に関してクロック信号の半周期分後方へずらす機能を実現する回路を示している。図において、11～14、17～19は図2におけるものと同一のものである。20 30 20はNOT回路、21はラッチ回路、22はAND回路である。19～22は、図2のクロック信号生成部15を構成する。図3に示すクロック信号を後方にずらす機能は、異なる遅延量をもつ複数のクロック信号17の一つを選択回路18で選択してクロック信号14として出力する。

【0018】図3(a)では、選択ポイント19での下部の点線部分を有効にした場合、クロック信号17a(基準となる信号)が内部クロック信号11と同じ信号となる。又、内部クロック信号11がNOT回路20bに入力されることにより、内部クロック信号11に対して反転したクロック信号17b(半周期分後方にずらした信号)が生成される。そこで、選択回路18では、2つのクロック信号17a、17bの中から、図1(a)に示すように規定されたセットアップ時間とホールド時間を満足する信号を選ぶ為の設定を選択信号13で入力する。これにより、2つのクロック信号17a、17bの中で選択された信号がクロック信号14として出力されることになる。ここで、選択ポイント19での下部の点線部分を有効にした場合を説明したが、選択ポイント50 19での上部の点線部分を有効にした場合には、内部ク

ロック信号 1 1 に対して反転したクロック信号 1 7 a (基準となる信号) が生成される点と同時に、内部クロック信号 1 1 がクロック信号 1 7 b (半周期分後方にずらした信号) と同じ信号となる点が異なる。図 3 (b) では、図 3 (a) に対してクロック変化の領域を決定するクロックイネーブル信号 1 2 を入力し、ラッチ回路 2 1 a、2 1 b を構成することにより、半周期分後方にずらした異なる遅延量を有する信号を制御する点が異なる。つまり、選択ポイント 1 9 の下部の点線部分を有効にした場合、クロックイネーブル信号 1 2 がラッチ回路 2 1 a に入力されることにより、クロックイネーブル信号 1 2 と電圧波形の形状が同じであり、内部クロック信号 1 1 の立ち下がりエッジに同期した信号が生成される。これから、ラッチ回路 2 1 a の出力信号及び内部クロック信号 1 1 が AND 回路 2 2 a に入力されることにより、ある一定のクロック変化の領域が存在するクロック信号 1 7 a (基準となる信号) が生成される。又、ラッチ回路 2 1 a の出力信号がラッチ回路 2 1 b に入力されることにより、入力信号と電圧波形の形状が同じであり、内部クロック信号 1 1 の立ち上がりエッジに同期した信号 (ラッチ回路 2 1 a の出力信号に対して半周期分後方にずらした信号) が生成される。内部クロック信号 1 1 が NOT 回路 2 0 b に入力されることにより、内部クロック信号 1 1 に対して反転した信号が生成される。これから、ラッチ回路 2 1 b の出力信号及び NOT 回路 2 0 b の出力信号が AND 回路 2 2 b に入力されることにより、ある一定のクロック変化の領域が存在するクロック信号 1 7 b (半周期分後方にずらした信号) が生成される。そこで、選択回路 1 8 では、2 つのクロック信号 1 7 a、1 7 b の中から、図 1 (a) に示すように規定されたセットアップ時間とホールド時間を満足する信号を選ぶ為の設定を選択信号 1 3 で入力する。これにより、2 つのクロック信号 1 7 a、1 7 b の中で選択された信号がクロック信号 1 4 として出力されることになる。ここで、選択ポイント 1 9 の下部の点線部分を有効にした場合を説明したが、選択ポイント 1 9 の上部の点線部分が有効にした場合には、内部クロック信号 1 1 に対して反転した信号 (基準となる信号) が生成される点と同時に、内部クロック信号 1 1 が信号 (半周期分後方にずらした信号) と同じ信号となる点が異なる。図 3 (c) では、図 3 (b) に対して選択ポイント 1 9 の下部の点線部分を有効にした場合の動作が上部の点線部分を有効にした場合に対応し、選択ポイント 1 9 の上部の点線部分を有効にした場合の下部の点線部分を有効にした場合に対応する。つまり、ラッチ回路 2 1 a、2 1 b、NOT 回路 2 0 b において使用する回路部品の極性が異なり、他は図 3 (a) の動作と同様となる。

【0019】図 4 は、この発明の実施の形態 1 及び後述する実施の形態 2 による表示装置のクロック信号またはデータ信号をずらす回路の構成を示す図であり、図 2 の

具体的な回路を示すものである。図 4 (a)、図 4 (b) は、クロック信号に関して所定時間分後方へずらす機能を実現する回路構成を示す。図において、1 1、1 3、1 4、1 7、1 8 は図 3 におけるものと同一のものである。2 3 はディレイセルやバッファやインバータ等の遅延回路であり、図 2 のクロック信号生成部 1 6 を構成する。

【0020】図 4 (a) では、クロック信号 1 7 a (基準となる信号) が内部クロック信号 1 1 と同じ信号となる。又、クロック信号 1 7 a が遅延回路 2 3 a に入力されることにより、ある遅延量を有した信号 (所定時間分後方にずらした信号) が生成される。同様に、遅延回路 2 3 b、...、2 3 c により、ある遅延量を有した複数のクロック信号 1 7 b (所定時間分後方にずらした信号) が生成される。そこで、選択回路 1 8 では、複数のクロック信号 1 7 a、...、1 7 b の中から、図 1 (b) に示すように規定されたセットアップ時間とホールド時間を満足する信号を選ぶ為の設定を選択信号 1 3 a、...、1 3 b で入力する。これにより、複数のクロック信号 1 7 a、...、1 7 b の中で選択された信号がクロック信号 1 4 として出力されることになる。ここで、回路 2 3 a、2 3 b、...、2 3 c において同じ遅延量を有する回路とは限らないものとする。図 4 (b) では、図 4 (a) に対して遅延回路 2 3 a、2 3 b、2 3 c、2 3 d、...、2 3 e、2 3 f において使用する回路部品が異なり、他は図 4 (a) の動作と同様となる。つまり、遅延回路 2 3 a、2 3 b、2 3 c、2 3 d、...、2 3 e、2 3 f において回路の遅延量が異なり、他は図 4 (a) の動作と同様となる。

【0021】実施の形態 1 では、図 1 のようにクロック信号をクロック信号の半周期分または半周期の倍数分後方へずらす機能を使用したり、クロック信号を所定時間分後方へずらす場合も、クロック信号を最適な時間分を遅れさせることにより、規定されているセットアップ時間と確実に満足させることができるために、高品質な液晶表示装置等の表示装置が得られる。

【0022】以上は、クロック信号をずらす場合について説明したが、データ信号をずらす回路構成を示す図であり、図 2 を具体化したものである。図 5 (a)、図 5 (b) は、データ信号に関するクロック信号の半周期分前方へずらす機能を実現する回路構成を示す。図において、1 1、1 3、1 8 ~ 2 1、1 2 1 は図 3 におけるものと同一のものである。1 2 1 は内部データ信号、1 4 1、1 7 1 はデータ信号である。

【0023】図 5 (a) では、選択ポイント 1 9 の下部の点線部分を有効にした場合、内部データ信号 1 2 1 がラッチ回路 2 1 a に入力されることにより、内部データ信号をずらす回路構成を示す図であり、図 2 の

タ信号121と電圧波形の形状が同じであり、内部クロック信号11の立ち下がりエッジに同期したデータ信号171a（半周期分前方にずらした信号）が生成される。又、ラッチ回路21aの出力信号がラッチ回路21bに入力されることにより、入力信号と電圧波形の形状が同じであり、内部クロック信号11の立ち上がりエッジに同期したデータ信号171b（基準となる信号）が生成される。そこで、選択回路18では、2つのデータ信号171a、171bの中から、図1(a)に示すように規定されたセットアップ時間とホールド時間を満足する信号を選ぶ為の設定を選択信号13で入力する。これにより、2つのデータ信号171a、171bの中で選択された信号がデータ信号141として出力されることになる。ここで、選択ポイント19での下部の点線部分を有効にした場合を説明したが、選択ポイント19での上部の点線部分が有効にした場合には、内部クロック信号11に対して反転した信号をクロック入力として使用する信号（半周期分前方にずらした信号）が生成される点と同時に、内部クロック信号11をクロック入力として使用する信号（基準となる信号）が生成される点が異なる。図5(b)では、図5(a)に対して選択ポイント19での下部の点線部分を有効にした場合の動作が上部の点線部分を有効にした場合に対応し、選択ポイント19での上部の点線部分を有効にした場合の動作が下部の点線部分を有効にした場合に対応する。つまり、ラッチ回路21a、21bにおいて使用する回路部品の極性が異なり、他は図5(a)の動作と同様となる。

【0024】図5に示すデータ信号を前方へずらす機能は、異なる遅延量をもつ複数のデータ信号171の一つを選択回路18で選択して、データ信号141として出力することによって行われる。なお、データ信号を所定時間分前方へずらす機能を実現する回路は、図4の回路を用い、クロック信号に代えてデータ信号を入力することで、実現することができる。クロック信号に変えて、データ信号をクロック信号の半周期分または半周期の倍数分前方へずらす機能を使用したり、複数段階の時間量から一つを選択して所定時間分前方へずらす機能を使用して、データ信号を最適な時間分前方へ進めさせることにより、結果的にクロック信号を最適な時間分遅れさせることと同様の効果が得られる。

【0025】実施の形態2. 実施の形態2は、クロック信号を前方にずらす機能を実現するものである。図6は、この発明の実施の形態2による表示装置のドライバICの入力における電圧波形図である。図において、6～10は図10におけるものと同一のものである。図6は、表示装置の制御回路が出力するクロック信号が、クロック信号の半周期分前方へずらすインターフェイス回路の機能や、所定時間分前方へずらす機能を経て、ドライバICに入力される信号の電圧波形図で、図6(a)はホールド時間を満足しない例(図11(b))における

クロック信号を、クロック信号の半周期分前方へずらす機能を使用した場合を示し、図6(b)は複数段階の時間量から一つを選択して所定時間分前方へずらす機能を使用した場合を示している。

【0026】ホールド時間を満足しない例では、クロック信号をクロック信号の半周期分または半周期の倍数分前方へずらすインターフェイス回路の機能や、所定時間分前方へずらす機能を使用することで、クロック信号を最適な時間分を進めさせることにより、図6(a)や図

10 6(b)のようにドライバICで規定されているホールド時間を確実に満足させることができるとなり、高品質な液晶表示装置等の表示装置を得ることができる。また、インターフェイス回路で、クロック信号を進めるのに変えて、データ信号をクロック信号の半周期分または半周期の倍数分後方へずらす機能を使用したり、複数段階の時間量から一つを選択して所定時間分後方へずらす機能を使用して、データ信号を最適な時間分遅れさせることによっても、結果的にクロック信号を最適な時間分を進めさせることと同様の効果が得られる。

20 【0027】実施の形態2のクロック信号を前方へずらす機能を実現する回路は、図2～図4と同様の回路で得られる。ここで、図2においては、クロック信号生成部15は、半周期分または半周期の倍数分前方へずらしたクロック信号を生成するものであり、クロック信号生成部16は、複数段階の時間量から一つを選択して所定時間分前方へずらしたクロック信号を生成するものである。また、実施の形態2のクロック信号を後方へずらす機能を実現する回路は、図4、図5と同様の回路で得られる。

30 【0028】実施の形態3. 実施の形態3は、インターフェイス回路で、クロック信号を前にずらすか後方にずらすかを選択するようにしたものである。図7は、この発明の実施の形態3による表示装置のクロック信号をずらす機能ブロックを示す構成図であり、インターフェイス回路の調整部を構成している。図7(a)は、クロック信号の半周期または半周期の倍数分前方または後方にずらすよう構成したもので、図7(b)は、所定時間分前方または後方にずらすよう構成したものである。図において、11～19は図2におけるものと同一のものである。24はクロック信号を前方または後方のいずれにずらすかを自動的に選択するためにクロック信号14の遅延量を検出する検出回路であり、選択信号13を選択回路18に出力する。25は検出回路24によって自動選択されたクロック信号である。図7は、選択回路18の出力部に検出回路24の入力部が接続されている構成である。

40 【0029】図8は、この発明の実施の形態3による表示装置のクロック信号をずらす機能ブロックを示す構成図であり、インターフェイス回路の調整部を構成している。図8(a)は、クロック信号の半周期または半周期

の倍数分前方または後方にずらすよう構成したもので、図8 (b) は、所定時間分前方または後方にずらすよう構成したものである。図において、11～19は図7におけるものと同一のものである。24はクロック信号を前方または後方のいずれにずらすかを自動的に選択するためにクロック信号17の遅延量を検出する検出回路であり、選択信号13を選択回路18に出力する。図8は、選択回路18の入力部に検出回路24の入力部が接続されている構成である。

【0030】実施の形態3では、インターフェイス回路で、クロック信号を前方にずらすか後方にずらすかを、検出回路24のクロック信号の遅延量の検出により、選択信号13を形成して、自動的に選択することで、クロック信号を最適な時間分を進め当せる機能及び遅れさせることのできる機能の自動切り替えが可能であるので、図1 (a)、図1 (b) や図6 (a)、図6 (b) のように、セットアップ時間及びホールド時間を確実に満足させることができるとなる。このため、高品質な液晶表示装置等の表示装置が得られる。

【0031】なお、実施の形態1～実施の形態3では、表示装置の制御回路の出力部に使用されるインターフェイス回路について説明したが、このインターフェイス回路は表示装置に限定して用いられるものではなく、外部回路にデータ信号及びクロック信号を出力する出力部を有する装置で、外部回路間にかかる時間及びホールド時間を確保する必要があるものであれば、適用することができる同様の効果を得ることができる。

### 【0032】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。周期的なパルスをもって形成されるクロック信号及び有効データ領域によって構成されるデータ信号が入力され、クロック信号のパルスの所定エッジがデータ信号の有効データ領域中の所定位置に対応するように調整して、調整済みのクロック信号及びデータ信号を出力する調整部を備えたので、データ信号のセットアップ時間とホールド時間を確保することができる。また、調整部は、入力されるクロック信号から、異なる遅延量を持つ複数のクロック信号を生成するクロック信号生成部と、パルスの所定エッジがデータ信号の有効データ領域中の所定位置に対応するクロック信号を選択するように形成された選択信号に応じて、クロック信号生成部によって生成された複数のクロック信号の一つを選択して出力する選択回路を有するので、データ信号のセットアップ時間とホールド時間を確保することができる。

【0033】また、選択回路に入力される複数のクロック信号の遅延量を検出して、選択信号を生成する検出回路を備えたので、クロック信号の遅延制御を自動的に行うことができる。さらに、選択回路によって出力されるクロック信号の遅延量を検出して、選択信号を生成する

検出回路を備えたので、クロック信号の遅延制御を自動的に行うことができる。

【0034】また、調整部の調整は、入力されるクロック信号を所定時間前方または後方にずらすように行うので、データ信号のセットアップ時間とホールド時間を確保することができるようにクロック信号を形成することができる。また、調整部は、入力されるデータ信号から複数のデータ信号を生成するデータ信号生成部と、クロック信号のパルスの所定エッジが有効データ領域中の所定位置に対応するデータ信号を選択するように形成された選択信号に応じて、データ信号生成部によって生成された複数のデータ信号の一つを選択して出力する選択回路を有するので、データ信号のセットアップ時間とホールド時間を確保することができる。

【0035】加えて、調整部の調整は、入力されるデータ信号を所定時間前方または後方にずらすように行うので、データ信号のセットアップ時間とホールド時間を確保することができるようにクロック信号を形成することができる。また、所定時間は、入力されるクロック信号の半周期または半周期の倍数であるので、データ信号のセットアップ時間とホールド時間を確保することができるようにクロック信号を形成することができる。また、所定時間は、段階的に形成された複数の時間量から一つを選択するようにしたので、データ信号のセットアップ時間とホールド時間を確保することができるようにクロック信号を形成することができる。

【0036】さらにまた、インターフェイス回路を介してクロック信号及びデータ信号を出力する制御回路と、この制御回路の出力するクロック信号及びデータ信号に応じて駆動信号を出力する駆動回路と、この駆動回路の出力する駆動信号によって表示を行う表示部を備えたので、ドライバICにおいてデータ信号のセットアップ時間とホールド時間を確保することができる。また、インターフェイス回路は、制御回路に内蔵することができる。

### 【図面の簡単な説明】

【図1】 この発明の実施の形態1による表示装置のドライバICの入力における電圧波形図である。

【図2】 この発明の実施の形態1及び実施の形態2による表示装置のクロック信号をずらす機能ブロックを示す構成図である。

【図3】 この発明の実施の形態1及び実施の形態2による表示装置のクロック信号をずらす回路構成を示す図である。

【図4】 この発明の実施の形態1及び実施の形態2による表示装置のクロック信号またはデータ信号をずらす回路構成を示す図である。

【図5】 この発明の実施の形態1及び実施の形態2による表示装置のデータ信号をずらす回路構成を示す図である。

【図6】 この発明の実施の形態2による表示装置のドライバICの入力における電圧波形図である。

【図7】 この発明の実施の形態3による表示装置のクロック信号をずらす機能ブロックを示す構成図である。

【図8】 この発明の実施の形態3による表示装置のクロック信号をずらす機能ブロックを示す構成図である。

【図9】 従来の表示装置を示す構成図である。

【図10】 従来の表示装置のドライバICの入力における電圧波形図である。

【図11】 従来の表示装置のドライバICの入力における電圧波形図である。

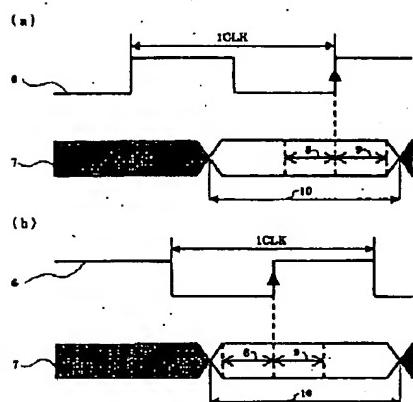
ける電圧波形図である。

#### 【符号の説明】

4 制御回路、6, 14, 17, 25 クロック信号  
7 データ信号、8 セットアップ時間、9  
ホールド時間、11 内部クロック信号、12 クロック  
クイネーブル信号、13 選択信号、15, 16 ク  
ロック信号生成部、18 選択回路、20 NOT回  
路、21 ラッチ回路、22 AND回路、23  
遅延回路、24 検出回路。

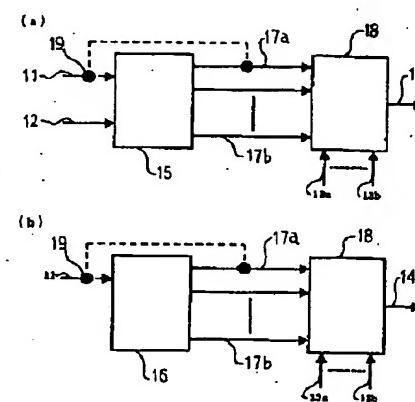
10

【図1】

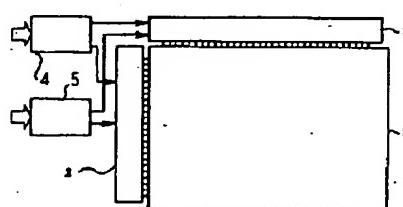


- 6. クロック信号
- 7. データ信号
- 8. セットアップ時間
- 9. ホールド時間
- 10. 有効データ領域

【図2】

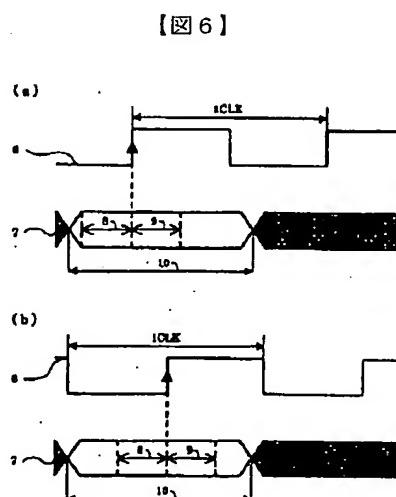
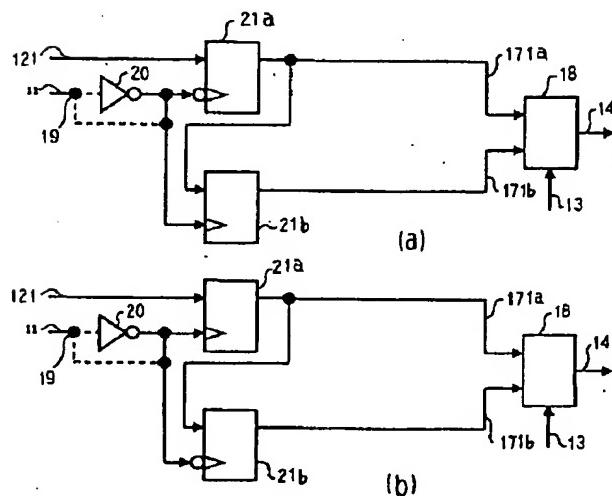


【図9】

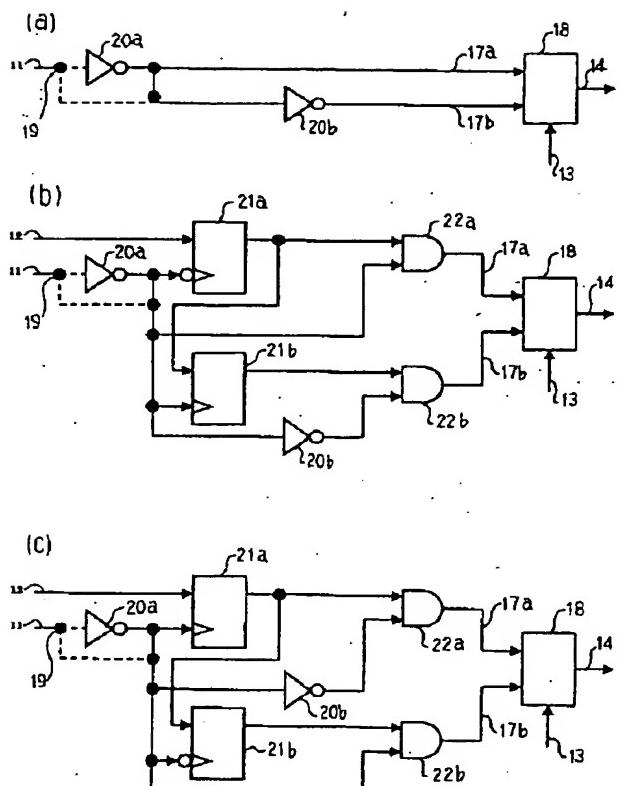


- 11. 内部クロック信号
- 12. クロッククイネーブル信号
- 13. 選択信号
- 14. クロック信号
- 15, 16. クロック信号生成部
- 17. クロック信号
- 18. 選択回路
- 19. 選択ポイント

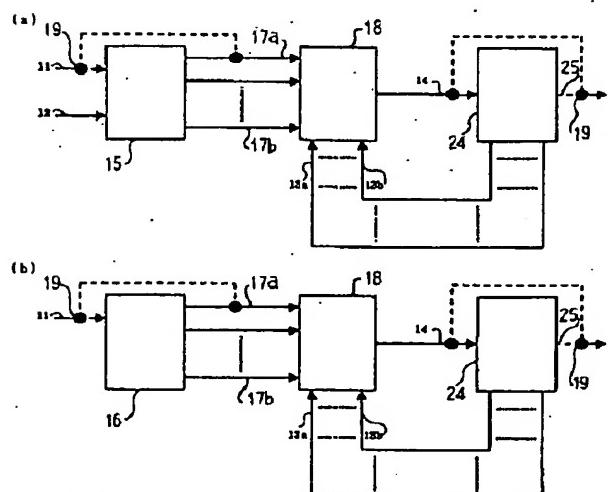
【図6】



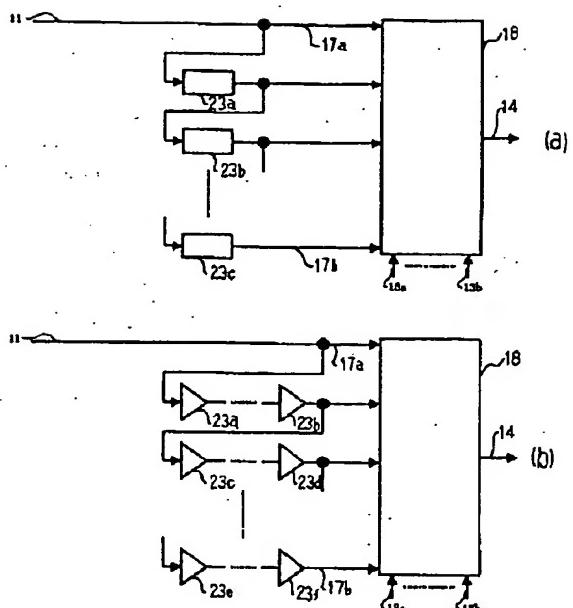
【図3】



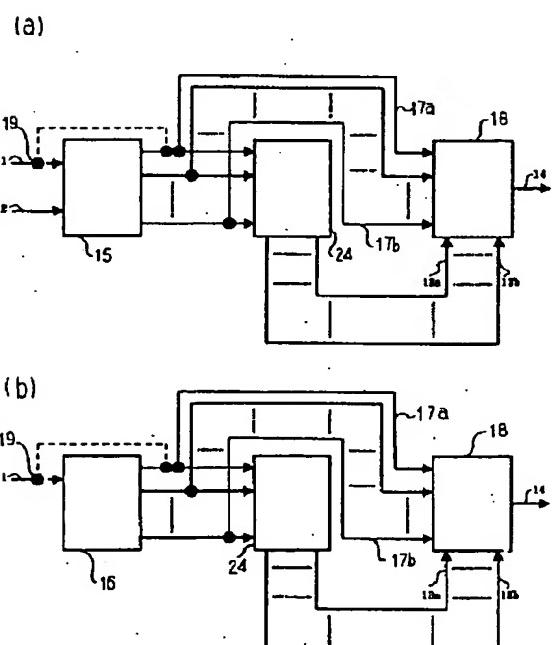
【図7】



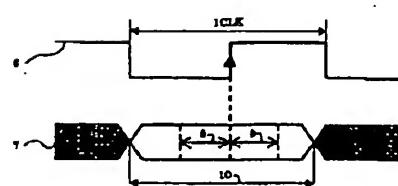
【図4】



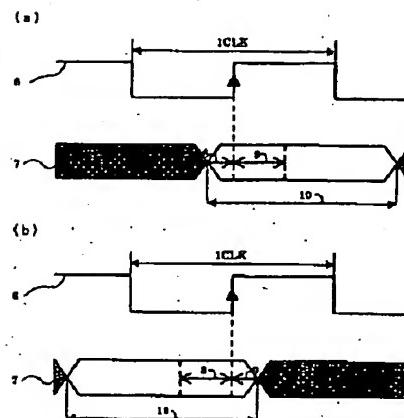
【図8】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5B079 AA07 CC02 CC08 CC14 CC16  
DD06 DD17  
5C006 AC02 AF72 BB11 BC16 BF24  
BF26 FA15 FA16  
5C080 AA10 BB05 DD08 DD09 DD25  
FF09 GG09 JJ02 JJ04 KK02  
5C082 AA13 BC03 BD02 CB01 DA76  
MM01 MM02